

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101091  
 (43)Date of publication of application : 07.04.2000

(51)Int.Cl. H01L 29/786  
 H01L 21/336  
 G02F 1/136

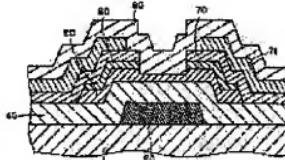
(21)Application number : 10-273042	(71)Applicant : SHARP CORP
(22)Date of filing : 28.09.1998	(72)Inventor : OCHI HISAO KOBAYASHI KAZUKI BAN ATSUSHI SAKONO IKUO

## (54) THIN FILM TRANSISTOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an AM-LCD TFT of such a structure as causing no fluctuation in the electrical characteristics by avoiding decrease in on-current due to a load being applied to the TFT part because of the hanging shape of a protective film covering the source-drain electrode.

**SOLUTION:** After two layer pattern of a source-drain electrode having two-layer structure of Ta, Cr, Ti layer 71 and an ITO film 70 is shifted by two stage etching process, an n+ contact layer 60 on a semiconductor channel layer 50 is removed by etching using the ITO film 70 as a mask thus forming a back channel etching type TFT (a gate insulation film 40 is interposed between the channel layer and a gate electrode layer 20). A protective film 80 is formed on the part subjected to etching and a low taper multilayer film is formed thereat including pattern shift of the two-layer source-drain electrode. Consequently, coverage of pass film is enhanced, stress being applied to the TFT part is lessened and ON-current is prevented from decreasing.



### LEGAL STATUS

[Date of request for examination] 27.07.2001  
 [Date of sending the examiner's decision of rejection] 30.04.2003  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]

(10) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101091

(P2000-101091A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) int.Cl'  
H01L 29/786  
21/336  
G02F 1/136

識別記号  
H01L 29/78  
5 0 0

F 1  
H01L 29/78  
G02F 1/136  
H01L 29/78

5 2 7 A 2 H 0 9 2  
5 0 0 B F 1 1 0  
6 2 7 C

審査請求 来院状 請求項の第3 O L (全 5 項)

(21) 出願番号 特願平0-273042

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22) 出願日 平成10年9月28日(1998.9.28)

(72) 発明者 岩坂 久雄 大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 小林 和樹 大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100079643

弁理士 高野 明恵

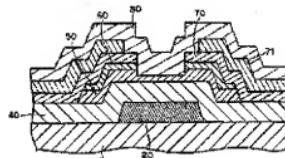
最終頁に続く

## (64) [発明の名前] 半導体トランジスタ

## (57) [要約]

【課題】 AM-LCDのTFTに起きたソース／ドレイン電極を複数個が形成するハンギング形状に起因して TFT部に加わる負荷によるオン電流の低下を回復し、 TFTの電気特性にはばらつきの生じない構造のTFTを提供する。

【解決手段】 Ta, Cr, Ti膜71とITO膜70の2層構造をなすソース／ドレイン電極を2段階のエッチング工程で2層のパターンをすり下した後、ITO膜70をマスクとして半導体チャネル層50上のn+コンタクト層60をエッチング除去することによりバックチャネルエッティング型TFTを形成する(チャネル層とゲート電極層20間にゲート絶縁膜40が介在)。エッチング除去部分の上に保護膜80を形成するが、2層のソース／ドレイン電極のパターンをさらに含めエッチング除去部分の横断面を低テール化することにより、保護膜のカバレッジを向上させ TFT部への応力が緩和されオン電流の低下を防ぐ。



## 特許 2000-161091

2

(2)

## 【特許請求の範囲】

【請求項1】 ゲート、ソースおよびドレインの高電極とチャネル領域を設けた半導体薄膜と、該半導体薄膜に被するとともにチャネル領域の対する側面でゲート電極に接するゲート電極膜と、前記半導体薄膜に接するとともにに対する側面記述ソースおよびドレイン電極に接し電極コンタクト層をなすN+に不純物ドーピングされた半導体薄膜と被覆した薄膜トランジスタであって、前記チャネル領域を形成する半導体薄膜の一端側のその部分に対応する前記電極コンタクト層をなすN+に不純物ドーピングされた半導体薄膜とN+半導体薄膜から成るエッチング除去(ハイドロチップ)として形成された半導体薄膜からソースおよびドレイン電極に接する半導体薄膜から上端部として形成するように、バッシベーション層を上端部として形成することにより、バッシベーション層のカバレッジを向上させ特徴の劣化を防止したことを特徴とする薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、前記エッチング除去を多段階のエッチング工程を用いることにより、除去された際のバターンの大きさをチャネル領域を形成する半導体薄膜からソースおよびドレイン電極に側面加工工程に依る段階毎に大きくして、エッチング除去した部分を含めバッシベーション層を上端部として形成することにより、バッシベーション層のカバレッジを向上させ特徴の劣化を防止したことを特徴とする薄膜トランジスタ。

【請求項3】 請求項2記載の薄膜トランジスタにおいて、ソースおよび/またはドレイン電極を下端の透明導電膜と上端のタル膜の二層構造とした場合、前記エッチング除去の工程として、エッチング除去するバターンの大きさを変えエッチングすることにより下層の透明導電膜と上層のタル膜のバターンをすらす後、得られる下層の透明導電膜バターンをマスクとして用いることによりチャネル部へのエッチングを行うことを特徴とする薄膜トランジスタ。

## 【免則の詳細な説明】

## 【0001】

【免則の権利の技術分野】本発明は、薄膜トランジスタ(TFT; Thin Film Transistor)に関し、特にアクティブライターカ型液晶表示装置(AM-LCD)、カラーモード型イメージセンサなどのアクティブ素子に利用される薄膜トランジスタに関するものである。

## 【0002】

【従来の技術】従来より薄膜トランジスタは、アクリティブライターカ型液晶表示装置に最も多く用いられており、逆スカラムと呼ばれるTFTにその基準構造が現れています。ここでは、逆スカラムにおいても、最近主流になってきてるハイパクチャネルチャッピングTFTを取り、その構造を図2及び図3を参考し説明する。図2は TFTを素子として含むAM-LCDのアトリク

スの要素部分を拡大して示す平面図で、図3は、TFT要素の断面図を示す。図2と図3において、同一の構成要素には同一の符号を付している。

【0003】 図2において、S1はAM-LCDにおけるマトリクス要素をなす素子であり、呂合素子S1は、TFT11により絶縁基板を制御することにより動作され表示機能を果たす。TFT11について図3を参照し、より詳細に説明すると、TFT11は一般的に、絶縁性基板10上にゲート電極G10を形成する。絶縁性基板10に用いる材料としてはガラス(なお、ガラス基板にはベースト耐熱としてTa<sub>2</sub>O<sub>5</sub>、SiO<sub>2</sub>などの絶縁層が形成している場合がある)を用いるか、またSi<sub>x</sub>基板の表面にSi<sub>x</sub>O<sub>y</sub>などの絶縁層を形成したものを使い場合もある。絶縁性基板10上にCA1、Mo、Taなどの導電材料をスピアタリングなどで形成し、次いで、この構造されたAl、Mo、Taなどをパターン化してゲート電極G10に形成する。

【0004】 次に、主に plasma CVD法によりゲート電極G10にゲート絶縁層S10(S<sub>x</sub>O<sub>y</sub>)を積み重ねる。ここでは、絶縁性を高めたためゲート電極を保護化し、第1のゲート絶縁層(段階せき)とし、CVD法で絶縁層を第2の絶縁層とする場合もある。

【0005】 続いて、半導体層(i-Si: TFTのチャネル層)50、同じく plasma CVD法により形成されたN+型に不純物ドーピングされたアモルファスSi<sub>x</sub>層または液結晶S1層によるTFTのソースS10とドレインのコンタクト層60となる層が形成され、半導体層50とコンタクト層60との間にS1層が島状にパターン化される。

【0006】 この後、ソース並びにドレイン電極並びに配線用のTi、Cr、Ti、ITO(透明の導電層)の順序で形成され、ソース並びにドレイン電極並びに配線70、71を形成するためにパターン化される。この際、ソース並びにドレイン電極並びに配線70、71においてババーニングにより露出する断面のテープ形状は、ほぼ垂直となっている。

【0007】 ソース並びにドレインの電極並びに配線70、71形成後、チャネル層50上のN+型に不純物ドーピングされたアモルファスSi<sub>x</sub>層あるいは液結晶S1層50はエッチング除去され、残った部分にソース並びにドレインのコンタクト層が形成されることになる。このとき、N+型に不純物ドーピングされたアモルファスSi<sub>x</sub>層あるいは液結晶S1層50のみがチャネル層となる不純物ドーピングをしないアモルファスSi<sub>x</sub>層50に対しても完全に選択的にエッチング除去すること困難であるため、その一部がエッチング除去される(図3に示すよう、TFTのチャネルを形成する界面と反対側の部分が除去されている)が、そうしても動作上問題がないように、チャネル部となるアモルファスSi<sub>x</sub>層50の構造は厚く形成しておく。

【0008】 ここで、ソース並びにドレインの電極並びに配線70、71が形成後、チャネル層50上のN+型に不純物ドーピングされたアモルファスSi<sub>x</sub>層あるいは液結晶S1層50はエッチング除去され、残った部分にソース並びにドレインのコンタクト層が形成されることになる。このとき、N+型に不純物ドーピングされたアモルファスSi<sub>x</sub>層あるいは液結晶S1層50のみがチャネル層となる不純物ドーピングをしないアモルファスSi<sub>x</sub>層50に対しても完全に選択的にエッチング除去すること困難であるため、その一部がエッチング除去される(図3に示すよう、TFTのチャネルを形成する界面と反対側の部分が除去されている)が、そうしても動作上問題がないように、チャネル部となるアモルファスSi<sub>x</sub>層50の構造は厚く形成しておく。

卷之二〇〇〇-10109

【0008】この後、プラズマCVD法により形成されるSiN膜からなるTFT(源漏極(バッジーション極)80)が形成される。この場合、ソース及びドレイン電極並びに記憶セル70、71の順序は、上記したようにパターニング後に露出する面の形状がテーパーとならず、ほぼ垂直であるため、その上をTFT厚膜遮光80で覆い形成される影部もテーパーとならず、図3に示すようにハング状跡となる。

[0009]

[発明が解決しようとする課題] T-F部振幅(パラシエーション量)の形状が複雑になるが、もしくは、ハンジ形状となると、T-F部間にモード干渉があり、オシ電流が低下するといったことから、表示装置を構成するT-F部の電気特性が吊る高さごとにばらつき、その結果として、そのばらつきに因るオシ電流が大きい状態において、バ尔斯点灯時、欠点電流が発生し、表示画像の品質を低下させ得るリスクがある。

【0010】本発明は、AM-LCDを典型としてそこ  
に用いられており TFT に起因する上記した從技術の問  
題点に鑑みてなされたもので、ソース電極に TFT 電極  
並びに配線を複数 TFT 連絡部(パッシブエーテン  
構造)が構成する H 型形状に起因して TFT 電極に負荷  
が加わり、オシロスコープで表示するといふことを考慮し、T  
FT の電気特性にはばつきが生じることのない構造を有  
するようにした複数トランジスタを提供することをその  
目的とする。

[0911]

【課題を解決するための手段】この目的を達成するため、ソースおよびドレイン電極間に記述となる T<sub>a</sub>、C<sub>r</sub>、T<sub>i</sub>、T<sub>o</sub>、T<sub>d</sub>の順序のソース-ドレイン構造において、その二層目のターンを設けて置くことにより、バッファーレンジ膜のカバレッジを向上させます。もしくは、ソース並びにドレイン電極並びに記述となる T<sub>a</sub>、C<sub>r</sub>、T<sub>i</sub>、T<sub>o</sub>の構造の開端部をアーチバーニングすることにより、バッファーレンジ膜のカバレッジを向上させるとともに、リード線を稼用する。上記した推奨をすることにより、T<sub>d</sub>以下の部への応力集中が抑制され、TF Tのオン電流の低下を防止することができます。

〔0012〕そして、本願の各発明は、次の技術手段を構成する。請求項1の発明は、ゲート、ソースおよびド

レインの両親と、チャネル横断で設けた半導体事業部と、該半導体事業部へ後援するとともにチャネル領域の対する衝撃ゲート半導体に接するゲート論理部と、前記半導体論理部を構成するとともにに対する衝撃前記ソースおよびドレイン電極に接し電荷キャリア層をなすなくして不純物ドーピングされた半導体薄膜とを備えた薄膜ランジスタであって、前記チャネル領域を形成する半導体荷電部の一部とその部分に対する前記電荷キャリア層をなす上に不純物ドーピングされた半導体薄膜とをソースおよびドレイン端子間に接し、前記ソース端子をノードと半導体

体調崩壊からエッティング除去しバッタチャネルエッティング型式として形成した薄層トランジスタにおいて、開面記録エッティング除去された後のパターンの大きさをチップ領域を形成する半導体薄層からソースおよびドレイン電極に向け縮次元しつこく、エッティング跡除去した部分をめりこませシーパンク膜を露呈して形成することになり、バッタチャネルエッティングのカバレッジを向上させ特性的劣化を防止したことを特徴とし、こうすることにより、バッタチャネルエッティングのカバレッジを向上させ、特性的劣化を抑制する。

防止するものである。  
〔00113〕請求項2の発明は、請求項1記載の複数トランシスターにおいて、前記エッチャング除去を多段階のエッチャング工程に用いることにより、除去された層のパターンの大きさをチャネル領域を形成する半導体界面からソースおよびドレイン電極に向て該工程に応じた経路数で順次大きさしたことを特徴とするものである。  
〔00114〕請求項3の発明は、請求項2記載の複数ト

ランジスタにおいて、ソースおよび／またはドレイン電極を下層の透明導電膜と上層のタル膜の二層構造とした場合、前記エッチング除去工程として、エッチャング除去するパターンの大さきを変えてエッチングすることにより下層の透明導電膜と上層のタル膜のパターンをずらした後、得られた下層の透明導電膜パターンをスクエアとして用いることによりチャネル部へのエッチャングを行うことを特徴とするものである。

[0015]

【発明の実施の形態】以下に、本発明による博識トランジスタの実施形態を図1を参照して開示し、説明する。図1は、本発明によるパッケチャネルエッチング型TFTの断面図を示す。ここでは、図1に示される各構成要素について、下記(1)ないし(9)に示すその作成手

順に従って詳述する。

(1) まず、熱導性板10上にゲート電極20に配線21を形成する。絶縁性基板10上に用いる材料としてはガラスを用いるか、またはガラス板表面にペーストコートとしてTi, O<sub>x</sub>, SiO<sub>x</sub>などの絶縁膜を形成したもの用いる。絶縁性基板10上にAl, Mo, Taなどを導電材料をスピッターリング法にて構成し、次いで、この構成されたAl, Mo, Taなどをバーナーリングしてゲート電極20に配線21を得る。

[D0161] (2) 次に、ゲート電極20上にプラスマ

CVD法によりゲート絶縁膜4を接着する。ここでは、 $S_1 \times N_x$ 膜を3000人構成し、ゲート絶縁膜4とした。なお、熱導性を高めるためゲート電極2を厚膜化し、第1のゲート電極膜（図示せず）とし、CVD膜を第2の絶縁膜とする方法をとっても良い。

半導体層（アモルファスSi）50をゲート絶縁層40に直結してCVD法により1500A膜層する。

(4)

特開2000-101081

6

5

ル層) 5.0 上に TFT のソース及びドレインの電極コントラクト層6.0となる不純物をドーピング(リン等を添加)し+a型としたアモルファスSiまたは微結晶SiをラズマCVD法により5.0Å積層する。

【0018】(5) ソース並びにドレインの電極コントラクト層6.0と半導体チャネル層5.0の両Si 層を島状にパターニングする。このパターニングの際に行うエッチング工程では、HCl+SF<sub>6</sub>混合ガスによるドライイッティング法を採用した。

【0020】(6) 次に、ソース並びにドレイン電極および配線7.0、7.1それぞれをスパッタリング法により形成するが、この場合、透明導電膜(ITO:Indium Tin Oxide)を1500Å、統一CTと膜を3000Åに構成する。

【0021】(7) 前工程で構成されたTa 膜のバターニングをドライエッチングで行った後、透明導電膜(ITO)のパターニングを行った後、透明導電膜(ITO)のパターニングを行った後、透明導電膜(ITO)をマスクとして、チャネル層(上)の+a型に不純物ドーピングされたアモルファスSi(あるいは微結晶Si、既6.0をスッターニング除去し、残った部分にソース並びにドレインのコントラクト層を形成する。このとき、エッチングにはSF<sub>6</sub>+HCl+混合ガスを適用したドライエッチングによりエッチングした。

【0022】(8) 続いて、前記(7)のソース並びにドレイン電極および配線7.0、7.1を構成する前工程でバターニングした透明導電膜(ITO)をマスクとして、チャネル層(上)の+a型に不純物ドーピングされたアモルファスSi(あるいは微結晶Si、既6.0をスッターニング除去し、残った部分にソース並びにドレインのコントラクト層を形成する。このとき、エッチングにはSF<sub>6</sub>+HCl+混合ガスを適用したドライエッチングによりエッチングした。

【0023】(9) 最後に、SiNxよりなる保護膜(バッジベーション膜)8.0をCVD法により構成し、バターニングする。ここに、保護膜は樹脂またはSiNxと樹脂の二層構造であってもよい。

【0024】以上の工程により作成されたTFTは、保本

\*遮断(バッジベーション膜)8.0の形状に従来技術に用いられたハング状態が生じることがなくなり、図1に示されるように扇形テーパ状態となり、本願の技術課題が解決される。

【0025】

【発明の特徴】本発明の方法により、TFT部のバッジベーション膜が扇形テーパになり、従来ハング状態となることにより生じていたTFT部への負荷が低減され、TFT特性的底限特性として、TFTのオン電流の低下を防止することが可能となる。こうした結果を成すTFTをAM-LCDといった表示装置に用いると、映像を動作させる各TFTの底限特性にばらつきが生じることなく、結果起きていた表示絶縁に見られる点欠陥が発生せず、表示画面上の品質を高めることができとなる。

【図面の簡単な説明】

【図1】本発明によるバックチャネルエッチング型TFTを示す断面図である。

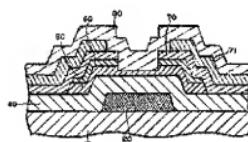
【図2】TFTを素子として含むAM-LCDのマトリクスの要素部分を拡大して示す平面図である。

【図3】従来のバックチャネルエッチング型TFTを示す断面図である。

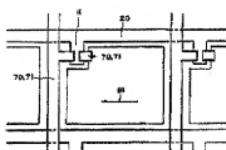
【特許の範囲】

- 1.0…一般性質板、
- 2.0…ゲート電極、
- 4.0…ゲート電極膜、
- 5.0…半導体層(+a-Si)、
- 6.0…コンタクト層(n+a-Si)、微結晶Si層、
- 7.0…ソース/ドレイン電極1(ITO膜)、
- 7.1…ソース/ドレイン電極2(Ta、Cr、Ti膜)、
- 8.0…保護膜(バッジベーション膜)、
- 11…TFT、
- 8.1…絶縁。

【図1】



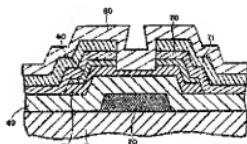
【図2】



(5)

特開2000-101081

[図3]



## フロントページの焼き

(72)発明者 佐々木 厚志  
大阪府大阪市阿倍野区長池町22番22号 シ  
ナーブ株式会社内  
(72)発明者 渡辺 郁夫  
大阪府大阪市阿倍野区長池町22番22号 シ  
ナーブ株式会社内

Fターム(参考) ZH092 GA17 GA34 HA06 JA24 KA05  
KA06 KB03 KB13 KB24 HA08  
HA16 HA19 HA21 HA23 HA24  
HA26 PA01  
SF110 AA05 CC07 DD12 DD13 EE03  
EE04 EE44 FF03 FF04 FF24  
FF30 GG15 GG22 HH15 HK16  
HK25 HK35 HL04 HL07 HL23  
NN13 NN21 NN27 NN35 QD24  
QD05 QD09